

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-172880

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月19日

H 04 N 5/335

Q  
E

8838-5C  
8838-5C

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 固体撮像装置

⑯ 特 願 平2-299930

⑰ 出 願 平2(1990)11月7日

⑱ 発 明 者 宇 田 川 善 郎 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 丹羽 宏之 外1名

明 細 書

1. 発明の名称

固 体 撮 像 装 置

2. 特許請求の範囲

(1) 画像信号が水平画素列を順次選択してゆくことにより得られる固体撮像素子を有する固体撮像装置であって、照度に応じて、感光画素のリセットパルスタイミングの変更を行うリセットパルスタイミング変更手段を備えたことを特徴とする固体撮像装置。

(2) リセットパルスタイミング変更手段は感光画素のリセットパルスタイミングをフィールド時間においてのみ変更し、かつ、前記リセットパルス幅を伸長することを特徴とする請求項1記載の固体撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、固体撮像装置に関するものである。

(従来の技術)

従来、水平画素列を順次選択することによって画像信号を得る型式の撮像素子としては種々のものが知られている。最近、この型式として、FGA型(FLOATING-GATE-ARRAY)と呼ばれる増幅型撮像素子が提案されている。

以下、この従来例について第2図、第3図および第5図を用いて説明する。

第5図は前記FGA型増幅型撮像素子(以下FGA型素子という)の基本的構成図、第2図は第5図のFGA型素子の駆動タイミングチャートである。

第5図において、J-FETとキャパシタ2で構成された感光画素3は2次元的に複数個が配置された感光部(図示せず)の1画素を形成している。そして、垂直のアドレス線によって選択された1水平ラインには $V_H$ パルスが加えられ読み出される。残りの水平ラインには $V_L$ パルスが加えられる。また、第2図において、(a)は水平ブランキング、(b)はアドレス、(c)はセン

ス線バイアス、(d)はリセットパルス $V_H$ 、(e)は $V_H$ 、(f)はクランプパルス $\phi_{CL}$ 、(g)はサンプルホールドパルス $\phi_{SH}$ 、(h)は $\phi_{S1}$ 、 $\phi_{S2}$ のそれぞれのパルス駆動のタイミングを示している。

次にこの従来例の動作を第2図を中心にして説明する。

第2図において、水平ブランキング期間に入ると(第2図(a)101)センス線バイアスがオン((c)102)して読み出し可能状態となる。それと同時に、読み出し選択用のアドレス信号がその選択ライン( $ADR=K$ )を示す((b)103)。選択されない他の水平ラインには $V_L$ パルスがオフして((e)104)他の水平ラインの画素はオフする。次にクランプパルス $\phi_{CL}$ がオンし((f)105)、サンプルホールドパルス $\phi_{SH}$ がオンして((g)106)サンプルホールドキャパシタ $C_{SH}$ (第5図)がリセットされる。次にリセットパルス((d)107)がオンして電荷が消去され

る。そのうち、サンプルホールドパルス $\phi_{SH}$ が再びオンして((g)108)その値が $C_{SH}$ に貯えられる。次にアドレス信号は電子シャッタを実現すべく他のアドレスライン( $ADR=L$ )を示す((h)109)。そして、そのラインの電荷をリセットパルス((d)110)によって消去する。水平ブランキング期間が終ると((a)111)シフトレジスタが駆動され((h)112)1水平信号として読み出される。

また、電子シャッタの時間制御は第4図に示すようにアドレス信号の選択、即ち、読み出しアドレス( $l$ )とリセットアドレス( $m$ )の差分のとり方によって行われる。

(発明が解決しようとする課題)

以上述べたような特性を持つ従来例の撮像素子をNTSC方式のビデオカメラに適用した場合、一般的に最長の蓄積時間は $1/60$ 秒であり、その場合の駆動パルスとしては第3図に示すような方法があった。すなわち、第2図のパルスのう

ち、アドレスパルスのみをアドレス(2)に変更し、読み出しが終了した後にはただちにもう一度、同一画素列をリセットするものである。

もう1つの方法としては、 $V_H$ パルスのみを $V_H$ (2)に変更し読み出し動作のためのリセットのみを行い、電子シャッタのためのリセットパルスは発生させないという方法である。

このいずれの方法でも蓄積時間を $1/60$ 秒とすることができる。

一方、電子シャッタは絞りと組み合されて露光制御をつかさどるが、 $1/60$ 秒は種々の光量の中でも低照度下で設定される場合が多い。

FGA型素子のみならず、フォトトランジスタを感光セルに用いた素子の欠点として画素のリセットむらの問題があることはよく知られている。そして、そのリセットむらは低照度下でF、P、N(固定パターンノイズ)となってあらわれ、画質を著しくそこねるという問題点があった。

最近、種々検討した結果、リセットむらは画素

のリセット時間によって左右され、概して長いリセット時間の方がよりリセットむらが少ないという結果が得られている。

しかし、前述のようなリセットタイミングにおいては、いかなる照度下においてもリセット時間は変化しておらず、リセットむらに対して有効な手段を講じることができずいたという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、何らのハード的付与を加えることなく、低照度下でのリセットむらのない固体撮像装置を得ることを目的とする。

(課題を解決するための手段)

このため、この発明の請求項1において、画像信号が水平画素列を順次選択してゆくことにより得られる固体撮像素子を有する固体撮像装置であって、照度に応じて、感光画素のリセットパルスタイミングの変更を行うリセットパルスタイミング変更手段を備えた固体撮像装置により、前記目的を達成しようとするものである。

また、この発明の請求項2においては、リセットパルスタイミング変更手段は感光画素のリセットパルスタイミングをフィールド時間においてのみ変更し、かつ、前記リセットパルス幅を伸長する請求項1記載の固体撮像装置により、前記目的を達成しようとするものである。

(作用)

この発明の請求項1の固体撮像装置は、リセットパルスタイミング変更手段により、照度に応じて感光画素のリセットパルスタイミングの変更を行う。

また、この発明の請求項2の固体撮像装置は、請求項1のリセットパルスタイミング変更手段により感光画素のリセットパルスタイミングをフィールド時間においてのみ変更し、かつ、前記リセットパルス幅を伸長する。

(実施例)

以下、この発明の一実施例を図面に基づいて説明する。

第1図はこの発明の一実施例の駆動を示すタイ

ミングチャートである。図中、前記従来例に同じと同一、もしくは相当構成要素は同一符号で表わし、重複説明は省略する。

次にこの実施例を第1図を用いて説明する。

第1図において、Aはリセットパルスタイミング変更手段(以下タイミング変更手段という)であり、 $V_H(d)$ のリセットパルス107aで構成され、照度に応じて、感光画素のリセットパルスタイミングの変更を行う手段(詳細後述)である。

この実施例と前記従来例の相違点は、前記のこの発明のタイミング変更手段Aであるこの実施例の $V_H$ パルス107aのパルス幅 $t_{RS}$ は前記従来例第2図の $V_H(d)$ のパルス幅 $t_{RS}$ の約3倍の時間を得ている点であり、その他の構成は前記従来例と同様である。

この実施例においては、低照度の場合、前記のようにリセット時間 $t_{RS}$ を従来の $t_{RS}$ の3倍に長くして、画素のリセット動作を確実にを行い、リセットむらをなくしている。

(発明の効果)

この発明によれば、何らのハード的付与を加えることなく、低照度下でのリセットむらのない固体撮像装置を得ることができる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例の駆動タイミングチャート、第2図は従来例のFGA型素子のタイミングチャート、第3図は従来例のFGA型素子のタイミングチャート、第4図は従来例の電子シャッタの駆動の説明図、第5図は従来例のFGA型素子の基本的構成図である。

A …… タイミング変更手段

Y …… FGA型素子

1 …… J-FET

2 …… キャパシタ

3 …… 感光画素

出願人 キヤノン株式会社

また、特に1/60秒蓄積時間において、電子シャッタ用のリセットパルスの時間幅を利用して読み出しリセットパルスの幅を伸長してリセット動作を確実にしている。

なお、この実施例では、1/60秒の場合のみリセットパルス幅を伸長したが、それ以外の場合でも照度に応じて変化させてもよい。ただし、その場合、電子シャッタ用リセットパルスが存在するために1/60秒程度の伸長は望めなくなる。

また、この実施例では、1水平信号線を得るのに1つの水平画素列からのみ行う方式を示したが、2つ以上の水平画素列を同時に選択して1水平信号線を得る方式(複数ライン同時読み出し方式)の場合にも適用できるのは言うまでもない。この場合、限られた水平ブランキング時間を有効利用できるため、より高い効果が望める。

また、この実施例では、FGA型素子を用いて説明したが、他の型式にも適用できるのは言うまでもない。

(a) 水平アドレスバス (Horizontal Address Bus)

(b) 垂直アドレスバス (Vertical Address Bus)

(c) クロック (Clock)

(d) V<sub>H</sub>

(e) V<sub>L</sub>

(f) φSH

(g) φSH

(h) φS1, φS2

(b) アミノ酸配列のアミス      アリス(2)

(d)      VH(2)

企業所有のFPGA世界最大の顧客マーケティング

(k) 絶縁層 (VD)

(l) 絶縁層 (VD)

(m) リン酸ガラス

絶縁層